

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

CLIPPEDIMAGE= JP403125476A

PAT-NO: JP403125476A

DOCUMENT-IDENTIFIER: JP 03125476 A

TITLE: HETERO JUNCTION BIPOLAR TRANSISTOR

PUBN-DATE: May 28, 1991

INVENTOR-INFORMATION:

NAME

KONDO, MASAO

SHIBA, TAKEO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP01262156

APPL-DATE: October 9, 1989

INT-CL (IPC): H01L029/205;H01L021/331 ;H01L029/73

US-CL-CURRENT: 257/192,257/197

ABSTRACT:

PURPOSE: To inhibit the generation of potential barrier against collector current flowing between a base layer and a low impurity concentration collector layer by forming the base layer and the low impurity concentration collector layer with Si and Ge-made mixed crystal.

CONSTITUTION: A high concentration n type Si layer 2' is formed on a P type Si substrate 1 based on a heat diffusion process. Moreover, a low concentration n type SiGe layer 3', a P type SiGe layer 4', and an n type Si layer 7' are adapted to make an epitaxial growth continuously based on a molecular beam

epitaxy process. Then, an element separation groove is formed by photolithograph and etching, and an SiO_2 film 6 is buried therein. Then, the n type Si layer 7', which excludes an emitter layer 7 is removed by the same photolithograph and etching. Furthermore, the P type SiGe layer 4', low concentration n type SiGe layer 3', which exclude the parts required for the base layer 4, the low impurity concentration collector layer 3, are removed by etching. As the last process, the SiO_2 film is formed on the surface of the element based on an air phase reaction deposition process, thereby forming metal electrodes 8, 9, and 10 of the emitter, the base, and the collector based on the prior art method.

COPYRIGHT: (C)1991, JPO&Japio

⑫ 公開特許公報(A)

平3-125476

⑤Int. Cl.⁵

識別記号

庁内整理番号

⑬公開 平成3年(1991)5月28日

H 01 L 29/205
21/331
29/73

8225-5F

8225-5F H 01 L 29/72

審査請求 未請求 請求項の数 5 (全8頁)

⑭発明の名称 ヘテロ接合バイポーラトランジスタ

⑰特 願 平1-262156

⑱出 願 平1(1989)10月9日

⑲発 明 者 近 藤 将 夫 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲発 明 者 芝 健 夫 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称

ヘテロ接合バイポーラトランジスタ

2. 特許請求の範囲

1. 高不純物濃度コレクタ層、低不純物濃度コレクタ層、ベース層及びエミッタ層の積層よりなるバイポーラトランジスタにおいて、ベース層と低不純物濃度コレクタ層がSiとGeの混晶よりなることを特徴とするヘテロ接合バイポーラトランジスタ。

2. 上記低不純物濃度コレクタ層を形成する混晶のGeの比率が、該低不純物濃度コレクタ層とベース層との境界から該低不純物濃度コレクタ層と高不純物濃度コレクタ層との境界にかけて増大していることを特徴とする請求項1記載のヘテロ接合バイポーラトランジスタ。

3. 上記エミッタ層はSiとGeの混晶よりなり、該混晶のGeの比率は、上記ベース層を形成する混晶のGeの比率の最小値とほぼ同じかそれ

より小さいことを特徴とする請求項1又は2記載のヘテロ接合バイポーラトランジスタ。

4. 高不純物濃度コレクタ層、低不純物濃度コレクタ層、ベース層及びエミッタ層の積層よりなるバイポーラトランジスタにおいて、低不純物濃度コレクタ層がSiとGeの混晶により形成され、該混晶のGeの比率が、該低不純物濃度コレクタ層とベース層との境界から該低不純物濃度コレクタ層と高不純物濃度コレクタ層との境界にかけて増大していることを特徴とするヘテロ接合バイポーラトランジスタ。

5. 上記エミッタ層及び上記ベース層は、SiとGeの混晶よりなり、該混晶のGeの比率は、上記低不純物濃度コレクタ層を形成する混晶のGeの比率の最小値とほぼ同じかそれより小さいことを特徴とする請求項4記載のヘテロ接合バイポーラトランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、高速動作に好適なバイポーラトラン

ジスタに関する。

【従来の技術】

SiとGeの混晶によりベース層を形成した従来のヘテロ接合バイポーラトランジスタについては、*信学技報*、第88巻、NO.410(1989年)第25頁から第30頁に記載されている。

このトランジスタの断面図を第2図に示す。P型Si基板1上に、n型の高不純物濃度コレクタ層2、n型の低不純物濃度コレクタ層3、ベース層4、エミッタ層7が積層されている。このトランジスタにおいては、ベース層4のみが歪みを持つSiとGeの混晶(SiGe)により形成され、その他の部分はSiによって形成されている。本構造では、歪みを持つSiGeの禁制帯幅がSiよりも小さいためベース層からエミッタ層へのキャリアの注入が起こり難く、ホモ接合バイポーラトランジスタよりも高い電流増幅率が得られるため高速化に有利であるという特徴を持つ。また、ベース層からコレクタ層へのキャリアの注入も起こりにくいため、飽和動作の場合にホモ接合バイポーラ

トランジスタよりも高速動作が可能となる。

【発明が解決しようとする課題】

上記従来技術は、飽和動作においては高速化に有利であるが、最も高速動作が可能となるはずの非飽和動作においては、ベース層から低不純物濃度コレクタ層にホールの注入が起こりにくいため、コレクタ電流密度がある値を超えると、ベース層と低不純物濃度コレクタ層の間にコレクタ電流に対するポテンシャル障壁が発生し、コレクタ電流密度が大きく取れなくなり、逆に動作速度の低下が起こるという問題があった。

本発明の目的は、ベース層と低不純物濃度コレクタ層の間のコレクタ電流に対するポテンシャル障壁の発生を抑制した構造のヘテロ接合バイポーラトランジスタを提供することにある。

本発明の他の目的は、高コレクタ電流領域でカーク効果が発生した場合の動作速度の低下を抑制し、高速動作が可能なヘテロ接合バイポーラトランジスタを提供することにある。

【課題を解決するための手段】

- 3 -

上記目的は、(1) 高不純物濃度コレクタ層、低不純物濃度コレクタ層、ベース層及びエミッタ層の積層よりなるバイポーラトランジスタにおいて、ベース層と低不純物濃度コレクタ層がSiとGeの混晶よりなることを特徴とするヘテロ接合バイポーラトランジスタ、(2) 上記低不純物濃度コレクタ層を形成する混晶のGeの比率が、該低不純物濃度コレクタ層とベース層との境界から該低不純物濃度コレクタ層と高不純物濃度コレクタ層との境界にかけて増大していることを特徴とする上記1項記載のヘテロ接合バイポーラトランジスタ、(3) 上記エミッタ層はSiとGeの混晶よりなり、該混晶のGeの比率は、上記ベース層を形成する混晶のGeの比率の最小値とほぼ同じかそれより小さいことを特徴とする上記1項又は2項記載のヘテロ接合バイポーラトランジスタ、(4) 高不純物濃度コレクタ層、低不純物濃度コレクタ層、ベース層及びエミッタ層の積層よりなるバイポーラトランジスタにおいて、低不純物濃度コレクタ層がSiとGeの混晶により形成され、

- 4 -

該混晶のGeの比率が、該低不純物濃度コレクタ層とベース層との境界から該低不純物濃度コレクタ層と高不純物濃度コレクタ層との境界にかけて増大していることを特徴とするヘテロ接合バイポーラトランジスタ、(5) 上記エミッタ層及び上記ベース層は、SiとGeの混晶よりなり、該混晶のGeの比率は、上記低不純物濃度コレクタ層を形成する混晶のGeの比率の最小値とほぼ同じかそれより小さいことを特徴とする上記4項記載のヘテロ接合バイポーラトランジスタによって達成される。

本発明におけるSiとGeの混晶中のGeの比率(原子比)は0.1~0.4程度である。Geの比率が0.1未満の混晶は禁制帯幅のSiとの差が十分でなく、0.4を超える混晶は歪が大きすぎて結晶成長により得ることが困難である。なお、混晶の組成が層の膜圧方向に変化しているときは、上記比率は平均の値を意味する。

また本発明は、上記(1)~(3)項においてはエミッタ層が、(4)~(5)項においてはエ

- 5 -

—478—

- 6 -

ミッタ層とベース層がそれぞれSiにより形成されているバイポーラトランジスタのみでなく、上記の混品の組成のGeの最小値とほぼ同じかそれよりさらに小さいGeの比率を持つSiGeの混品を、上記Siの代わりに用いたバイポーラトランジスタも含むものである。

〔作用〕

歪みを持つSiGeの混品でベース層と低不純物濃度コレクタ層の両方を形成した場合、従来のベース層のみにSiGeの混品を用いた場合と異なり、ベース層と低不純物濃度コレクタ層の禁制帯幅に差がなくなるため、非飽和動作でコレクタ電流密度が大きくなったときに、低不純物濃度コレクタ層にホールが注入される。従って、従来の場合のようにベース層と低不純物濃度コレクタ層の間にコレクタ電流に対するポテンシャル障壁が発生し、コレクタ電流密度が大きくとれないということは起こらない。また、エミッタ層とベース層は従来の場合と同様にSiとSiより狭い禁制帯幅を持つ歪んだSiGeのヘテロ接合となっているため、ホ

モ接合よりも高い電流増幅率が得られるという効果はそのまま保存される。

次に、低不純物濃度コレクタ層を組成に勾配を有するSiGeの混品で形成した場合は、低不純物濃度コレクタ層内に接合の拡散電位による電場以外に、接合バイアスによらない電場が発生する。特に、ベース層と低不純物濃度コレクタ層の境界から、低不純物濃度コレクタ層と高不純物濃度コレクタ層との境界にかけて組成のGeの比率を徐々に大きくした場合には、コレクタ電流を担う電子を加速する電場を発生させることができる。例えば、低不純物濃度コレクタ層の厚さを1000Åとし、ベース層と低不純物濃度コレクタ層の境界でのGeの比率を0.1、低不純物濃度コレクタ層と高不純物濃度コレクタ層の境界でのGeの比率を0.2としその間の低不純物濃度コレクタ層内ではGeの比率が線型に変化するようにした場合、禁制帯幅が線型に変化することにより電子をベースから高不純物濃度コレクタ層方向に加速する約10 kV/cmの電場が接合電場に加わる。従ってコレクタ電

- 7 -

流密度が大きくなりカーク効果が起こった場合にも、従来のバイポーラトランジスタと異なり低不純物濃度コレクタ層中に約10kV/cmの電場が存在するために、電子はほぼ飽和速度に近い速度で移動し、高速動作が可能となる。

また以上の説明において、SiとSiGeの混品の組み合わせのヘテロ接合について説明したが、該SiGeの混品の組成のGeの最小値より、Geの組成がさらに小さい値を持つSiGeの混品を上記Siの代わりに用いたときも同様な作用が得られることは言うまでもない。

〔実施例〕

以下、本発明を実施例により説明する。

実施例 1

第1図、第3図を用いて第1の実施例を説明する。第1図に本発明のバイポーラトランジスタの断面図を示す。P型Si基板1上に、高濃度n型Siよりなる高不純物濃度コレクタ層2、低濃度n型Si_{0.9}Ge_{0.1}よりなる低不純物濃度コレクタ層3(厚さ1000Å、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$)、

- 8 -

P型Si_{0.9}Ge_{0.1}よりなるベース層4(厚さ1000Å、キャリア濃度 $5 \times 10^{18} \text{ cm}^{-3}$)、n型Siよりなるエミッタ層7(厚さ1000Å、キャリア濃度 $1 \times 10^{19} \text{ cm}^{-3}$)が積層され、さらに高濃度P型Si_{0.9}Ge_{0.1}層5、SiO₂膜6、金属電極8、9、10が配置されている。

第3図に、このバイポーラトランジスタのエミッタ、ベース、コレクタの非飽和大電流動作時のバンド図を示す。また比較のため、第2図に示した従来のバイポーラトランジスタの同様なバンド図を第4図に示す。本実施例のバイポーラトランジスタにおいては、ベース層4と、低不純物濃度コレクタ層3は、両方とも歪みを有するSi_{0.9}Ge_{0.1}によって形成されているため、それらの間で禁制帯幅には差はない。従って大電流非飽和動作時に、ホールがベース層から低不純物濃度コレクタ層に注入されるため、低不純物濃度コレクタ層における電子に対する障壁は生じない。そのため従来の装置よりも大きなコレクタ電流密度が得ることができ、より高速なトランジスタ動作が可

- 9 -

—479—

- 10 -

能である。

また、本実施例及び上記従来のバイポーラトランジスタのコレクタ電流 I_c と遮断周波数 f_T の関係を第12図に曲線102及び曲線101として示す。図に見られるように、本実施例のバイポーラトランジスタの最大遮断周波数 f_{Tmax} は、従来のその約1.7倍となった。

このバイポーラトランジスタの製造方法を第13図に示した工程図により説明する。P型Si基板1上に、熱拡散法により高濃度n型Si層2'を形成する。さらに分子線エピタキシー法により、低濃度n型SiGe層3'、P型SiGe層4'、n型Si層7'を連続的にエピタキシャル成長させる(第13図(a))。次にホトリソグラフィとエッチングにより素子分離溝を形成し、そこにSiO₂膜6を埋め込む(第13図(b))。次に同じくホトリソグラフィとエッチングにより、エミッタ層7となる部分以外のn型Si層7'をエッチング除去し、さらにベース層4、低不純物濃度コレクタ層3となる部分以外のP型SiGe層

4'、低濃度n型SiGe層3'をエッチング除去する(第13図(c))。最後に素子表面に気相反応堆積法によりSiO₂膜を形成し、通常の方法によりエミッタ、ベース、コレクタの金属電極8、9、10を形成し第1図に示したバイポーラトランジスタを形成する。

なお、エミッタ層として、Siの代わりに、ベース層の混晶の組成のGeの最小値よりさらに小さいGeの比率を持つSiGeの混晶を用いたバイポーラトランジスタを製造したが、上記の場合とほぼ同様な効果が得られた。

実施例 2

第5図に本発明のバイポーラトランジスタの第2の実施例の断面図を示す。第5図における1～9の部分は第1図の場合と同じであり、12は低濃度n型SiGe層(厚さ1000Å、キャリア濃度 $1 \times 10^{18} \text{cm}^{-3}$)、13はP型SiGe層、(厚さ500Å、キャリア濃度 $5 \times 10^{18} \text{cm}^{-3}$)である。第5図のAA断面におけるこのバイポーラトランジスタのGe比率及び禁制帯幅を第6図に示す。低濃度n型Si

- 11 -

Ge層12、P型SiGe層13は、それぞれ図に示すようなGe比率の勾配を有するSiGeによって形成されている。低濃度n型SiGe層12は低不純物濃度コレクタ層、P型SiGe層13はベース層として働く。なお、第5図においてはコレクタ電極は省略してある。

本実施例においては、第6図に示すようにベース層及び低不純物濃度コレクタ層にかけて禁制帯幅が約0.2eV小さくなっている。従って、第7図にバンド図を示すように、非飽和大電流動作時においても、低不純物濃度コレクタ層内には、高濃度コレクタ層方向に電子を加速する約10数KV/cmの電場が存在している。そのため、非飽和大電流動作時にカーク効果によって低不純物濃度コレクタ層内の電場が小さくなり、電子速度が低下し、動作速度が小さくなってしまいうという従来のバイポーラトランジスタにおける問題を改善し、より高速なトランジスタ動作が可能となる。

本実施例のバイポーラトランジスタのコレクタ電流 I_c と遮断周波数 f_T の関係を第12図に曲線

- 12 -

103として示す。図に見られるように、本実施例のバイポーラトランジスタの最大遮断周波数 f_{Tmax} は、従来のその約3倍となった。

なお、エミッタ層として、Siの代わりに、ベース層の混晶の組成のGeの最小値よりさらに小さいGeの比率を持つSiGeの混晶を用いたバイポーラトランジスタを製造したが、上記の場合とほぼ同様な効果が得られた。

実施例 3

第8図に本発明のバイポーラトランジスタの第3の実施例の断面図を示す。第8図における1～12の部分は第5図の場合と同じである。14はP型Si層、(厚さ500Å、キャリア濃度 $5 \times 10^{18} \text{cm}^{-3}$)、15は高濃度P型Si層、16はP型多結晶Si膜、17はn型微結晶Si膜である。第8図のBB断面におけるこのバイポーラトランジスタのGe比率及び禁制帯幅を第9図に示す。低濃度n型SiGe層12は、図に示すようなGe比率の勾配を有するSiGeによって形成されている。低濃度n型SiGe層12は低不純物濃度コレクタ層、P型Si層14

- 13 -

- 480 -

- 14 -

はベース層、P型多結晶Si膜16はベース取り出し電極、n型微結晶Si膜17はエミッタ層として働く。エミッタ層に広い禁制帯幅を有するn型微結晶Si膜を用いており、P型Siからなるベース層との間でヘテロ接合が形成されている。

本実施例のバイポーラトランジスタの最大遮断周波数 f_{Tmax} は、第12図に曲線103として示すように、従来のその約3倍となった。この場合にも、非飽和大電流動作時において、実施例2の場合と同様に低不純物濃度コレクタ層に電子を加速する電場が存在するために低不純物濃度コレクタ層がSiのみからなる従来の構造のバイポーラトランジスタよりも高速動作に適している。

なお、エミッタ層とベース層として、それぞれSiの代りに、上記低不純物濃度コレクタ層の混晶の組成のGeの最小値とほぼ同じGeの比率を持つSiGeの混晶を用いたバイポーラトランジスタを製造したが、ほぼ同様な効果が得られた。

実施例 4

第10図に本発明のバイポーラトランジスタの

第4の実施例の断面図を示す。第10図における1~12の部分は第5図の場合と同じである。18はP型Si層(厚さ500Å、キャリア濃度 $1 \times 10^{19} \text{ cm}^{-3}$)、19はn型Si層(厚さ1000Å、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$)である。第10図のCC断面におけるこのバイポーラトランジスタのGe比率及び禁制帯幅を第11図に示す。低濃度n型SiGe層12は、図に示すようなGe比率の勾配を有するSiGeによって形成されている。P型Si層18はベース層、n型Si層19はエミッタ層として働く。

本実施例においては、ベースの高濃度不純物添加による禁制帯幅狭小化効果によって、第11図に示すようにエミッタとベースの禁制帯に約0.03 eVの差が生じている。従って液体窒素温度程度に冷却して動作させると、エミッターベースがヘテロ接合の場合と同様に高い電流増幅率が得られる。

本実施例のバイポーラトランジスタの最大遮断周波数 f_{Tmax} は、第12図に曲線103として示すように、従来のその約3倍となった。この場合にも、非飽和大電流動作時において実施例2と

- 15 -

同様に低不純物濃度コレクタ層に電子を加速する電場が存在するために、低不純物濃度コレクタ層がSiのみからなる従来の構造よりも高速動作に適している。

なお、エミッタ層とベース層として、それぞれSiの代りに、上記低不純物濃度コレクタ層の混晶の組成のGeの最小値よりさらに小さいGeの比率を持つSiGeの混晶を用いたバイポーラトランジスタを製造したが、ほぼ同様な効果が得られた。

【発明の効果】

本発明のヘテロ接合バイポーラトランジスタは、ベース層と低不純物濃度コレクタ層がSiとGeの混晶よりなり、ベース層と低不純物濃度コレクタ層の間のコレクタ電流に対するポテンシャル障壁の発生を抑制し、大きなコレクタ電流を取ることができる。

また、低不純物濃度コレクタ層を組成に勾配を有するSiGeで形成した本発明のヘテロ接合バイポーラトランジスタは、従来のバイポーラトランジスタと比較して、例えば最大遮断周波数 f_{Tmax}

が約3倍となる。

4. 図面の簡単な説明

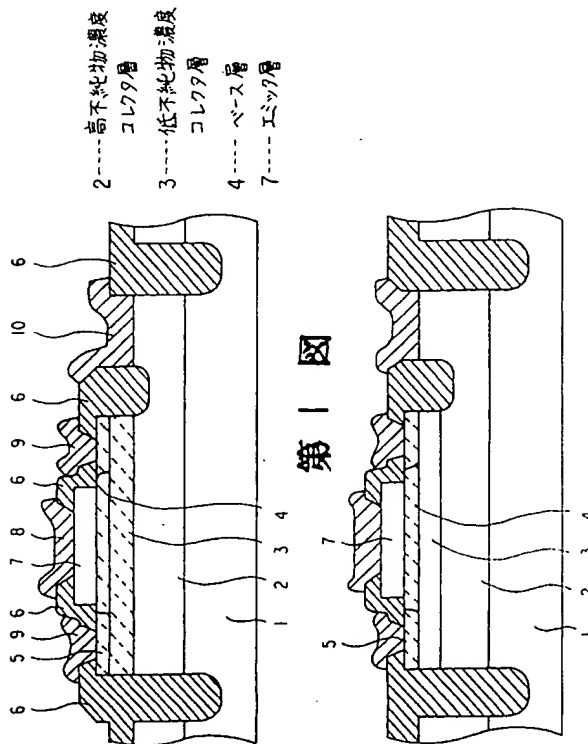
第1図は本発明の第1の実施例のバイポーラトランジスタの断面図、第2図は従来のバイポーラトランジスタの断面図、第3図は本発明の第1の実施例のエミッタ、ベース、コレクタの非飽和大電流動作時のバンド図、第4図は従来のトランジスタの場合の同様なバンド図、第5図は本発明の第2の実施例のバイポーラトランジスタの断面図、第6図は第5図におけるAA断面のGe含有比率及び禁制帯幅を示す図、第7図は第5図に示したバイポーラトランジスタの非飽和大電流動作時のバンド図、第8図及び第10図はそれぞれ本発明の第3、第4の実施例のバイポーラトランジスタの断面図、第9図及び第11図はそれぞれ第8図及び第10図におけるBB、CC断面のGe含有比率及び禁制帯幅を示す図、第12図は本発明の各実施例及び従来のバイポーラトランジスタのコレクタ電流 I_c と遮断周波数 f_T の関係を示す図、第13図は本発明の第1の実施例のバイポーラト

- 16 -

ランジスタの製造工程を説明する工程図である。

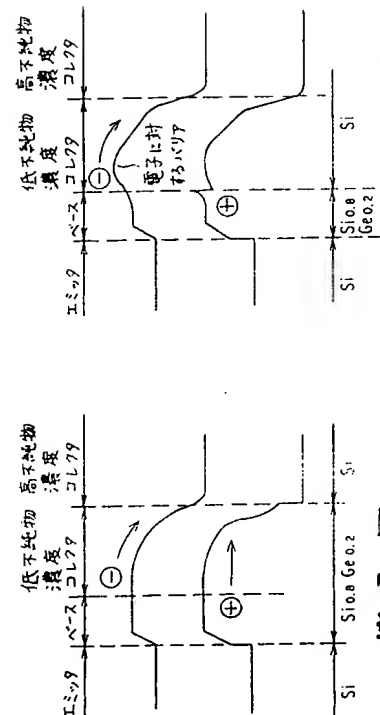
- 1 …… P 型 Si 基板
- 2 …… 高不純物濃度コレクタ層
- 2' …… 高濃度 n 型 Si 層
- 3 …… 低不純物濃度コレクタ層
- 3' …… 低濃度 n 型 SiGe 層
- 4 …… ベース層 4' …… P 型 SiGe 層
- 5 …… 高濃度 P 型 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 層
- 6 …… SiO_2 膜 7 …… エミッタ層
- 7'、19 …… n 型 Si 層
- 8、9、10 …… 金属電極
- 12 …… 低濃度 n 型 SiGe 層
- 13 …… P 型 SiGe 層 14、18 …… P 型 Si 層
- 15 …… 高濃度 P 型 Si 層
- 16 …… P 型多結晶 Si 膜
- 17 …… n 型微結晶 Si 膜
- 101、102、103 …… 曲線

代理人弁理士 中村純之助



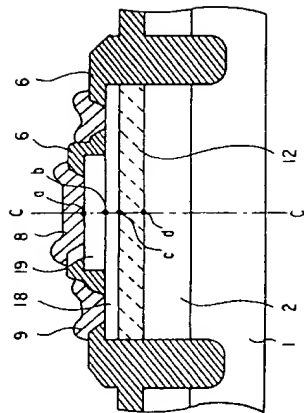
第 1 図

第 2 図

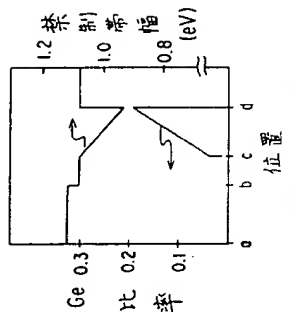


第 3 図

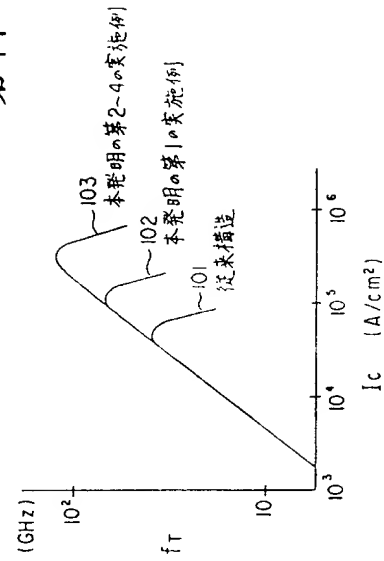
第 4 図



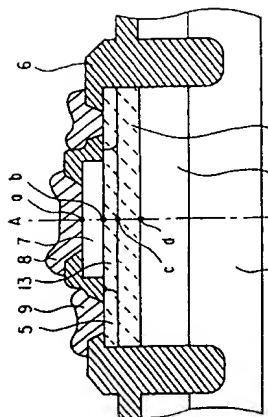
第10図



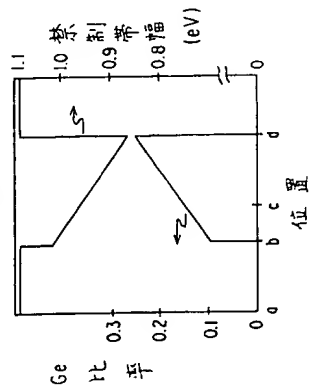
第11図



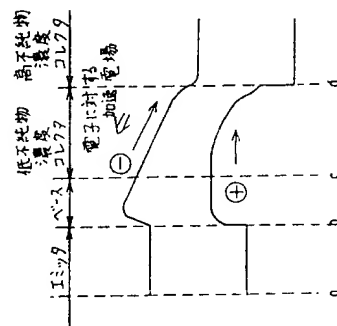
第12図



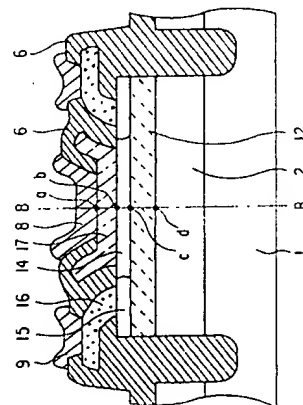
第5図



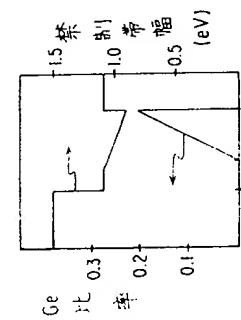
第6図



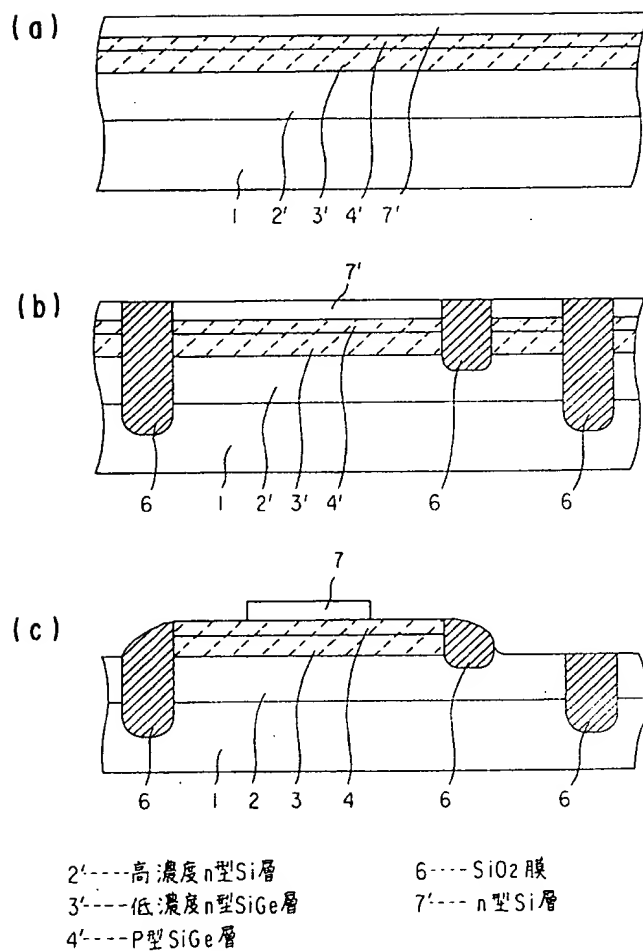
第7図



第8図



第9図



第 13 図